

## Best Available Copy

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-138118

(43)Date of publication of application : 08.08.1984

(51)Int.Cl.

H03K 13/02

(21)Application number : 58-013293

(71)Applicant : NEC CORP

(22)Date of filing : 28.01.1983

(72)Inventor : NAKAYAMA KENJI

## (54) ANALOG-DIGITAL CONVERTER SHAPING QUANTIZED ERROR

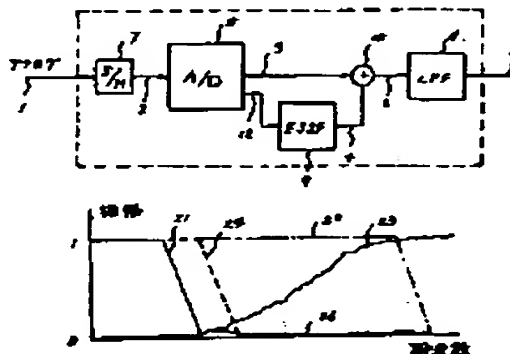
## (57)Abstract:

PURPOSE: To obtain inexpensively an A/D converter with high accuracy by combining the A/D converter having a short bit length and a noise spectrum shaping circuit.

CONSTITUTION: An analog signal inputted to a terminal 1 is applied to the A/D converter 8 via a sample-and-hold circuit 7 and led to one terminal of an adder 10 as a digital signal 3. On the other hand, a quantized error code (+, -) 12 of the A/D converter 8 is applied to an error spectrum shaping filter (RSSF) 9 having a transfer function expressed by Equation 1 and then fed to the other terminal of the adder 10. Then, the spectrum 23 in the output of the adder 10 is cancelled by an LPF11 and since the error spectrum after the cancellation becomes to have a sufficiently small value as shown in (26) in Figure, the number of bits of the A/D converter is considered to have been increased equivalently.

$$H(s) = \sum_{i=0}^{N-1} h_i s^{-i}, \quad s = \sigma + j\omega / f_s \quad \text{--- (1)}$$

式(1)は  $N$  次、 $h_i$  は定数、 $f_s$  は周波数、 $\sigma$  は規格化周波数である。符号 12 を  $e(s)$  と表わす。



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—138118

⑪ Int. Cl.<sup>3</sup>  
H 03 K 13/02

識別記号

庁内整理番号  
7530—5 J

⑬ 公開 昭和59年(1984) 8月 8日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 量子化誤差成形 A/D 変換器

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑮ 特 願 昭58—13293

⑯ 出 願 人 日本電気株式会社

⑰ 出 願 昭58(1983) 1月28日

東京都港区芝5丁目33番1号

⑱ 発 明 者 中山謙二

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

量子化誤差成形 A/D 変換器

2. 特許請求の範囲

アナログ信号をサンプル・ホールド回路でサンプル・ホールドして  $L'$  ビット精度のサブアナログ—デジタル変換器に入力し、この変換器の出力を直接加算器の一方の入力とするとともに誤差スペクトル成形回路を介して前記加算器の他方の入力とし、この加算器出力は低域通過フィルタに入力され、この低域通過フィルタの出力として  $L$  ビット精度 ( $L' < L$ ,  $L$  と  $L'$  は自然数) のデジタル信号を得ることを特徴とする量子化誤差成形 A/D 変換器。

3. 発明の詳細な説明

本発明はアナログ信号をデジタル信号に変換する A/D 変換器に関する。

通信および信号処理システムのデジタル化に伴いアナログ信号をデジタル信号に変換する技術が重要になっている。特に最近の音響装置のデジタル化に伴い音響信号のデジタル変換が必要となっている。音響装置では高い S/N 比 (80—90 dB) が要求されデジタル変換におけるビット数も約 16 ビットが必要とされている。また使用帯域も直流—20 kHz と広く、広帯域で高精度のアナログ—デジタル変換が要求されている。

従来は高い精度を確保するために積分方式が用いられている。積分方式とは積分器のキャパシタに蓄積した電荷を放電させ、この放電時間を計数することにより電圧値を計るものである。これを 1 個の積分器で行う場合は、サンプリング周波数を 40 kHz、ビット数を 16 ビットとすると 20  $\mu$  sec の間に  $2^{16} - 1$  個のクロックを計数する必要がある。これにクロック周波数にして  $3.3 \times 10^9$  Hz となり現実的ではない。このため上位ビットと下位ビットに分けてクロックを計数する 2 段階積分方式が用いられている。変換周期を 20  $\mu$  秒、

このうち5 $\mu$ 秒を積分区間とし、残り15 $\mu$ 秒で放電とクロックの計数を行うとする。上位ビットを9ビット、下位ビットを7ビットとすると $(2^9 - 1) + (2^7 - 1)$ ビットを15 $\mu$ 秒で計数するためには425MHzのクロック周波数が必要である。この425MHzのクロック周波数を実現するために、現在はバイポーラ技術を用いてLSI化を図っているが、集積度の点で問題がある。(竹田他、'デジタル・オーディオ用の低歪率16ビットIC A-D, D-A変換器', 日経エレクトロニクス, 186-216頁, 1982-1-18 参照)

本発明の目的は高い量子精度を必要とする直接変換方式に対して、短いビット長のA/D変換器と雑音スペクトル成形回路を組合せた高い精度のA/D変換器を提供することにある。

本発明の量子化誤差成形A/D変換器は、アナログ信号をサンプル・ホールド回路でサンプル・ホールドし、Lビット精度のサブアナログ-デジタル変換器に入力し、この変換器の出力を直接加算器の一方の入力とするとともに誤差スペクトル成形回路を介して前記加算器

の他方の入力とし、この加算器出力は低域通過フィルタに入力され、この低域通過フィルタの出力としてLビット精度のデジタル信号を得ることを特徴とする。

本発明によるA/D変換器の実施例を図1図に示す。端子1にアナログ信号が入力する。これがサンプルホールド(S/H)回路7を介してA/D変換器8に入力しデジタル信号に変換される。このA/D変換器のビット数をmとする。A/D変換器出力のスペクトルを図2図(a)に示す。同図の21は信号スペクトルであり22は量子化誤差のスペクトルである。これは従来のA/D変換器のスペクトルである。A/D変換器からは量子化誤差符号(+, -)12が出力される。これは誤差スペクトル成形フィルタ(ESSF)9に入力される。このESSF9の伝達関数 $He(z)$ は次式で与えられる。

$$He(z) = \sum_{i=0}^{N-1} h_i z^{-i}, \quad z = e^{j2\pi f/l}, \quad \dots\dots (1)$$

N-1はフィルタ次数、 $h_i$ は定数、 $l$ は周波数、 $f$ は標準化周波数である。符号12を $e(n)$

と表わす。ここでA/D変換器の出力3は小数点以下のビット数がi個であるとし、 $e(n)$ を図3図の如くモデル化する。例えば符号12が $\oplus$ で出力3にnを整数として $n \times 2^{-i}$ が得られたとすると、量子化前の信号は $n \times 2^{-i} \sim (n + \frac{1}{2}) \times 2^{-i}$ の間に存在していたことになる。そこで、ここでは量子化前の信号が $(n + \frac{1}{4}) \times 2^{-i}$ に存在していたとモデル化する。第1図のフィルタ9の目的は加算器10の出力5における誤差のスペクトルを図2図のスペクトル23の如く成形することである。第3図において量子化後の値として $n \times 2^{-i}$ または $(n+1) \times 2^{-i}$ のいずれかを取るとする。言い換えれば $e(n)$ としては $+\frac{2}{4} \times 2^{-i}$ または $-\frac{3}{4} \times 2^{-i}$ のいずれかを取ることの意味している。符号12が負の時は $(n-1) \times 2^{-i}$ または $n \times 2^{-i}$ から選択され、この時 $e(n)$ としては $+\frac{3}{4} \times 2^{-i}$ または $-\frac{2}{4} \times 2^{-i}$ のいずれかをとる。このいずれかを取るかは次式を最小にする組合せが選択される。

$$\sum_{i=0}^{N-1} |h_i e(n-i)|^2 \quad \dots\dots (2)$$

ここで $h_i e(n-i)$ は入力 $e(n)$ に対する $He(z)$ の出力信号である。式(1)で与えられる伝達関数の振幅特性は第2図の特性25で表わされている。式(2)を最小化する $e(n)$ のスペクトルは特性25と逆特性になることから第2図スペクトル23となる。第2図のスペクトル23は第1図の低域通過フィルタ(LPF)11により相殺される。このLPFの振幅特性は第2図の特性24で与えられる。相殺後の誤差のスペクトルは同図のスペクトル26で示されるように全帯域にわたり十分小さな値になる。このことは等価的にA/D変換器のビット数が増加したことになり高精度A/D変換器を実現している。

本発明によれば、A/D変換器としては高精度のものは要求されない、言い換えればLSIのアナログ素子として高精度のものが不要でなく、LSIにおけるアナログ部の面積を小さく出来る等の効果がある。またデジタル信号処理部が追加されるが、デジタル信号処理においては容易に高精度演算が実行できるため小形、低消費電力の回路

を用いて実現できる。

内部のA/D変換器としては14ビット精度を用いて全体として16ビット精度が実現できる。内部A/D変換器として例えば前述した2段階積分A/D変換器を用いた場合、これに要求されるクロック周波数は10.6MHzとなり、これは現在のCMOS技術を用いて実現できるスピードであり、集積度や消費電力の点で有効である。

23……第1図5における誤差スペクトル、24……低域通過フィルタの振幅特性、25……誤差スペクトル成形フィルタの振幅特性、26……比較後の誤差スペクトル。

代理人 弁理士 内 原 晋

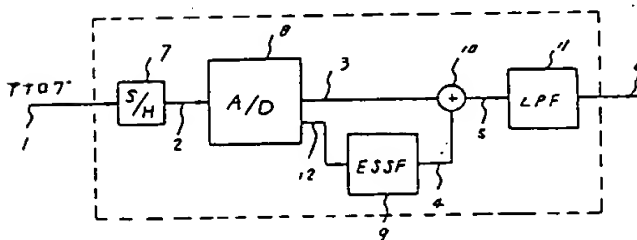


#### 4. 図面の簡単な説明

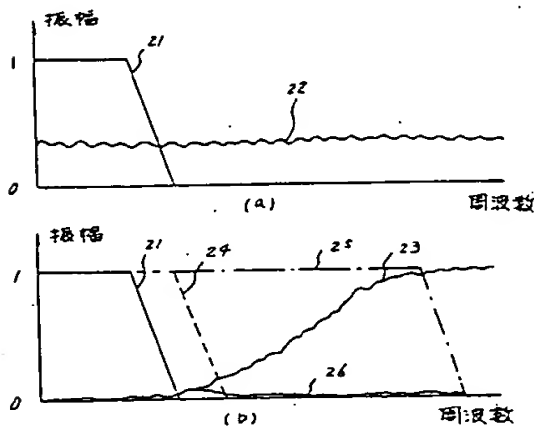
第1図は本発明による量子化誤差成形A/D変換器の実施例を示すブロック図、第2図(a)、(b)は第1図中の各信号の周波数域における振幅特性を示す特性図、第3図は第1図における量子化ステップのモデルを示す説明図である。

1……アナログ入力、6……デジタル出力、7……サンプルホールド回路、8……A/D変換器、9……誤差スペクトル成形フィルタ、10……加算器、11……低域通過フィルタ、21……信号スペクトル、22……第1図3における誤差スペクトル、

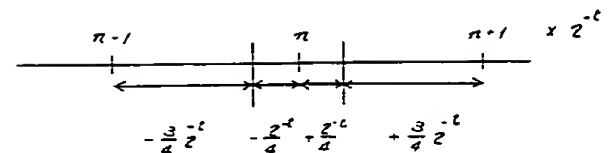
第1図



第2図



第3図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**